

Phase-locked loop circuit

Publication number: CN1203483 (A)

Publication date: 1998-12-30

Inventor(s): KIKUGAWA HIROHISA [JP]

Applicant(s): NIPPON PRECISION CIRCUITS [JP]

Classification:

- **international:** H03L7/107; H03L7/093; H03L7/10; H03L7/187; H03L7/08; H03L7/16; (IPC1-7): H03L7/00

- **European:** H03L7/093

Application number: CN19981008872 19980317

Priority number(s): JP19970062691 19970317

Also published as:

Ⓜ CN1111955 (C)

Ⓜ US5903197 (A)

Ⓜ TW407400 (B)

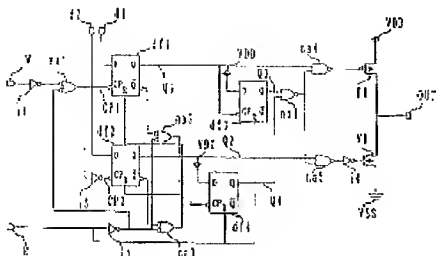
Ⓜ KR100265453 (B1)

Ⓜ JP10256906 (A)

Abstract not available for CN 1203483 (A)

Abstract of corresponding document: US 5903197 (A)

A phase-locked loop (PLL) circuit capable of attaining high-speed frequency transition with enhanced reliability. To this end, outputs of a reference signal source (1) and voltage-controlled oscillator (VCO) circuit (3) are frequency-divided by frequency divider circuits (2, 4), respectively. A phase comparator circuit (5) is provided for outputting an error signal indicative of a phase difference between these signals, if any. A window generator circuit (9) is connected for outputting a window signal; where the error signal does not fall within the range of a pulse width of this window signal, a level generator circuit generates a boost voltage having its potential near the control voltage value of the VCO (3) for use in generating a target frequency.; A low-pass filter (LPF) circuit (7) is charged up in responding to receipt of both the output signal of the charge pump circuit (6) and the boost voltage so that the control voltage may rapidly increase in potential at a target value without rising up to any excess values. Whereby, undershoot and overshoot may be eliminated or at least greatly suppressed thus enabling achievement of high-speed frequency transition with increased reliability.



Data supplied from the esp@cenet database — Worldwide

[19]中华人民共和国专利局

[51]Int.Cl⁶

H03L 7/00



[12] 发明专利申请公开说明书

[21] 申请号 98108872.4

[43]公开日 1998 年 12 月 30 日

[11] 公开号 CN 1203483A

[22]申请日 98.3.17

[30]优先权

[32]97.3.17 [33]JP[31]62691/97

[71]申请人 日本精密电路株式会社

地址 日本东京都

[72]发明人 菊川弘久

[74]专利代理机构 中国国际贸易促进委员会专利商标
事务所

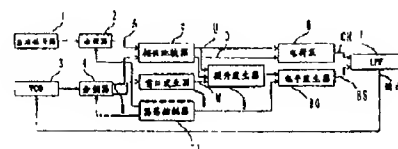
代理人 张 维

权利要求书 2 页 说明书 11 页 附图页数 9 页

[54]发明名称 锁相环电路

[57]摘要

一种锁相环 (PLL) 电路, 其中基准信号源 (1) 和电压控制振荡器 (VCO) 电路 (3) 的输出分别被分频器电路 (2, 4) 分频。提供相位比较器 (5) 用于输出表示这些信号之间的误差信号。提供窗口发生器电路 (9) 用于输出窗口信号; 低通滤波器 (LPF) 电路 (7) 响应接收到的电荷泵电路 (6) 的输出信号和提升电压而充电, 使得控制电压的电位可以快速增加到目标值而不上升到任何过大的值, 能够以高的可靠性实现高速频率转移。



权 利 要 求 书

1 一种锁相环电路, 包括:

用于产生基准频率信号的基准信号源;

第一分频器电路, 用于对作为所述基准信号源的输出的所述基准频率信号进行分频;

电压控制的振荡器电路, 用于输出具有相应于一个控制电压的频率的信号;

第二分频器电路, 用于对所述电压控制的振荡器电路的所述输出信号进行分频;

相位比较器电路, 用于比较所述第一和第二分频器电路的各自输出信号的相位, 如果其间存在相位差时, 则借以输出其脉宽相应于其间的相位差的误差信号;

电荷泵电路, 其响应作为所述相位比较器电路输出的误差信号而被驱动;

具有积分电路的低通滤波器电路, 用于平均所述电荷泵电路的输出, 从而输出一个作为所述控制电压的平均信号; 以及

控制电路, 用于监视误差信号, 并响应大于或等于一个预定值的相位误差的出现, 对所述低通滤波器电路的积分电路中的电容元件提供相应于所述相位差的提升电压。

2 如权利要求 1 所述的锁相环电路, 其中所述控制电路当所述误差信号的脉宽大于或等于所述预定值时, 产生具有接近用于使所述电压控制振荡器电路在目标频率下振荡的所述控制电压值的提升电压。

3 如权利要求 1 所述的锁相环电路, 其中所述控制电路用于产生供所述误差信号的脉宽比较使用的窗口信号, 并且在所述窗口信号和所述误差信号的比较期间所述误差信号的脉宽大于或等于所述预定值时, 根据预设的电平设置数据产生所述提升电压, 以便把所述提升电压设置为接近所述控制电压值的某个值上, 以便使所述电压控制振荡器电路在所述目标频率下振荡。

4 如权利要求 3 所述的锁相环电路，其中所述控制电路包括存储器电路，用于在其中存储所述电平设置数据以及包括所述第一分频器电路和/或所述第二分频器电路的分频比的数据，以便进行设置所述提升电压同时设置所述分频比。

5 一种锁相环电路，包括：

用于产生基准频率信号的基准信号源；

第一分频器电路，用于对作为所述基准信号源的输出的所述基准频率信号进行分频；

电压控制的振荡器电路，用于输出具有相应于一个控制电压的频率的信号；

第二分频器电路，用于对所述电压控制的振荡器电路的所述输出信号进行分频；

相位比较器电路，用于比较所述第一和第二分频器电路的各自输出信号的相位，如果其间存在相位差时，则借以输出其脉宽相应于其间的相位差的误差信号；

电荷泵电路，其响应作为所述相位比较器电路的输出的误差信号而被驱动；

具有积分电路的低通滤波器电路，用于平均所述电荷泵电路的输出，从而输出一个作为所述控制电压的平均信号；以及

控制电路，用于监视所述误差信号，当所述相位差处于一个特定值之外时，对所述低通滤波器电路的所述积分电路中的电容元件提供提升电压，并且当在停止施加提升电压之后，即使所述相位差再次超过所述特定值时，停止施加所述提升电压。

说明书

锁相环电路

本发明涉及一种锁相环电路 (PLL)。

当前,在可用于移动通信系统或类似系统中的 PLL 频率合成器的 PLL 电路中,进行了若干为了缩短在启动以及信道转换过程中锁定时间的尝试。

现有技术中一种已知的电路如图 12 (a) 所示,其中提供了不同时间常数两个低通滤波器 (LPF) 123 和 124 作为被称为“环路滤波器”的 LPF,其通过操作对电荷泵电路 121 的输出进行平均,借以产生控制电压,用于控制电压控制的振荡器 (VCO) 电路 122 的频率。通过在频率转移期间,使用唯一的一个较短时间常数的 LPF 123,并且在锁定之后,将其转换到较大时间常数的其余的 LPF 124,该电路用于缩短使环路稳定所需的时间间隔。此外,标号 125 代表基准信号源;标号 126 和 127 代表频率分频器电路,用于对这种基准信号源 125 和 VCO 122 的输出分别进行分频;标号 128 代表相位比较器电路。

另一种现有技术的电路如图 12 (b) 所示,其被设计用于通过利用可变时间常数的 LPF 129,减少在频率转移过程中的时间常数。

还已知另一种现有技术,其提供两个向环路滤波器提供电荷载体的能力互不相同的电荷泵电路,虽然这种配置在此处没有说明。这被配置,使得当 VCO 的输出频率远离也称为“锁定频率”的目标频率时,具有高的电荷供应能力的一个电荷泵电路实现从环路滤波器电路进出的载体的填充和释放,从而使得 VCO 输出快速接近锁定频率或邻近频率,并且此后,使具有较小电荷供应能力的另一个电荷泵工作,从而进行频率值的精确的调整。

图 12 (c) 表示另一种现有技术,其中包括分频器电路 130、131,除去分频器 126、127 之外,提供这些分频器电路用于控制要在比较器 128 进行比较的比较频率值,还包括控制电路 132,用于控制分频电路的分频比,其中当频率转移开始时,比较频率值暂时高于标称的或标准的频率值,

因而缩短锁定时间，同时借助于锁定在标准频率下，实现信道转换操作。此处注意标号 23 代表 LPF。

然而，转换上述环路滤波器电路或电荷泵电路的方案缺点是难于正确地确定转换定时。为此，用于产生用于转换的信号电路的级数增加，与此同时，由于转换过程中的噪声而带来产生频率波动的危险。此外，被设计用于在环路滤波器电路之间转换的电路要求使用两个不同类型的环路滤波器电路，这使得其电路面积不需要地增加。利用在电荷泵电路之间进行转换的现有技术，电荷供应能力增加的电荷泵电路可能本身就对噪声敏感，因而在 PLL 系统中产生影响环路滤波器的不良行为。

被设计用于在频率转移开始时暂时增加比较频率的现有技术需要使用额外的分频器 130、131，用于增加比较频率。和这种现有技术相关的另一个问题是，当在转移开始使用的比较频率被转换为标准频率以便进行信道转换时的瞬时，PLL 系统可能受到干扰。

因此，本发明的目的在于，提供一种能够克服现有技术中的问题的锁相环（PLL）电路。

本发明的另一个目的在于，提供一种具有增加的可靠性的实现高速频率转移的 PLL 电路。

为实现上述目的，本发明提供一种特定的锁相环（PLL）电路，其中使用一个或几个不同于电荷泵电路的控制电路，其中控制电路被连接用于对 LPF 积分电路中的电容元件提供增高电压，以便响应作为相位比较器电路的输出的相位差而产生输出控制电压，借以实现高速而且更稳定的频率转移。

PLL 电路包括用于产生基准频率信号的基准信号源，第一分频器电路，用于对作为基准信号源的输出的基准频率信号进行分频，电压控制的振荡器电路，用于输出具有根据控制电压可以确定的频率的信号，第二分频器电路，用于对电压控制的振荡器电路的输出信号进行分频，相位比较器电路，其比较第一和第二分频器电路的各自输出信号的相位，借以输出其脉宽相应于检测的相位差的误差信号，电荷泵（charge pump）电路，其响应作为相位比较器电路的输出的误差信号而被驱动，低通滤波器（LPF），其具有积分电路，并用于平均电荷泵电路的输出，从而输出一

个作为控制电压的平均信号，以及控制电路，其监视误差信号，并响应大于或等于一个预定值的相位误差的出现，对 LPF 的积分电路中的电容元件提供相应于最终的相位差的合适的提升电压。

其中，控制电路最好如此设置，使得当误差信号的脉宽大于或等于预定值时，控制电路产生具有接近用于使电压控制振荡器电路在目标频率下振荡的控制电压值的提升电压。

控制电路还最好被设置用于产生供误差信号的脉宽比较使用的窗口信号，并且当这一脉宽信号和误差信号的比较表示误差信号的脉宽大于或等于一个预定值时，根据预定的电平设置数据产生提升电压，以便把提升电压设置为接近控制电压值或在控制电压值附近的足够的值，以便使电压控制振荡器电路在目标频率下振荡。

控制电路还最好包括存储器或“存储器”电路，用于在其中存储电平设置数据以及某个设置数据，例如第一分频器电路和/或第二分频器电路的分频比，以便提供设置这两个分频比和设置提升电压的能力。

此外，最好还可以提供包括用于产生基准频率信号的基准信号源的 PLL 电路，第一分频器电路，用于对作为基准信号源的输出的基准频率信号进行分频，电压控制振荡器电路，用于输出具有可根据控制电压确定的特定频率的信号，第二分频器电路，用于对电压控制振荡器电路的输出信号进行分频，相位比较器电路，用于相互比较第一和第二分频器电路各自的输出信号的相位，借以输出其脉宽相应于检测到的相位差的误差信号，电荷泵电路，其响应作为相位比较器电路的输出的误差信号而被驱动，LPF，其具有积分电路，并且能够操作对电荷泵电路的输出进行平均，然后输出平均信号作为控制电压，以及控制电路，其监视误差信号，并在相位差大于一个预定值的时间间隔内，向 LPF 的积分电路的电容元件提供提升电压，并在停止提供提升电压之后，即使相位差再次超过预定值，也不再提供提升电压。

本发明的一个主要优点在于，能够进行高速而可靠的频率转移。

具体地说，利用被设计用于设置按目标频率而不同的提升电压的 PLL 电路，并响应特定相位差的发生而利用这一提升电压，可以在 PLL 电路的整个频带上加速预期频率的转移。这又使得 PLL 电路的设计容易按照其中

使用的 VCO 电路的规范的任何可能的变化进行修改，从而降低成本。

本发明的另一个优点在于，通过限制在一个时刻使用提升电压，可以消除或者至少大大抑制发生不希望的超调和欠调现象，而不必进行太细的或太精确的提升电压设置，因而使得能够以大大降低的成本实现能够实现高速频率转移的 PLL 电路。

图 1 是按照本发明第一实施例的锁相环（PLL）电路的结构图。

图 2 用于说明图 1 的电路的主要部分的结构。

图 3 是用于说明图 1 的电路的操作的时序图。

图 4 说明图 1 电路的操作。

图 5 说明图 1 电路的操作。

图 6 是按照本发明第二实施例的锁相环（PLL）电路的结构图。

图 7 用于说明图 6 的电路的主要部分的结构。

图 8 用于说明图 6 的电路的主要部分的结构。

图 9 用于说明图 6 的电路的主要部分的结构。

图 10 是用于说明图 6 的电路的操作的时序图。

图 11 说明图 6 的主要部分的修改。

图 12（a）-（c）说明现有技术的 PLL 电路的结构。

下面说明按照本发明第一实施例的锁相环（PLL）电路。图 1 是说明本发明第一实施例的结构原理图。在图中，标号 1 代表基准信号源，其产生并发出可以作为基准的信号。标号 2 代表分频器电路，其用于对基准信号源 1 的输出信号进行分频。标号 3 代表电压控制振荡器（VCO）电路，其通过操作用于输出具有可根据被提供给控制端的控制电压的值确定的频率的信号。标号 4 代表用于对 VCO3 的输出信号进行分频的分频器电路。标号 5 是相位比较器电路，其可以操作用于相互比较分频器电路 2，4 的输出信号 A 和 B，从而在 U，D 端输出具有相应于检测到的相位差的脉宽的误差信号。更具体地说，当信号 A 相位超前信号 B 时，则在 U 端输出相应于这种最终相位差的误差信号；相反，当前者的相位滞后后者时，则从 D 端输出相应的误差信号。标号 6 是电荷泵电路，其包括串联互连的 P 沟道金属氧化物半导体（PMOS）晶体管和 N 沟道 MOS（NMOS）晶体管，

它们的漏极在此处未示出的电源端 VDD (5V) 和 VSS (0V) 之间被连在一起, 并且其漏极在可作为输出端的连接节点连在一起, 响应相位比较器电路 5 的 U 端和 D 端的各个输出信号, 所述 PMOS 晶体管和 NMOS 晶体管的栅极被驱动导通与截止。

标号 7 代表低通滤波器 (LPF) 电路, 其通过操作用于平均电荷泵 6 的输出信号, 从而输出最终的平均信号作为控制电压。图 2 示出了一种实际的电路结构。其主要包括两级积分电路 71, 72。第一级积分器 71 可以由电阻 R1 - R4 和电容 C1 构成, 使得电荷泵 6 的输出被提供给电阻 R1 的一端 CH, 同时使下面说明的提升电压提供给电阻 R2 的一端 BS。第二级积分器 72 包括电阻 R5 和在其输出端 OUT 提供控制电压的电容 C2。

标号 8 代表窗口发生器电路, 它输出窗口信号, 其脉宽以作为相位比较器 5 的输入的信号 B 的下降沿为中心。更具体地说, 窗口信号的产生通过对分频器 4 的分频级的中间信号进行波形整形来实现。此处注意, 当输出的窗口信号的脉宽以信号 B 的下降沿为中心而限定其中点时, 窗口信号发生器可以选择地以这种方式设计, 使得其输出以信号 A 的下降沿作为其中心的窗口信号。

标号 9 代表提升发生器电路, 其响应窗口信号和误差信号 U, D 的接收, 在误差信号不处于窗口信号的脉宽之内的情况下, 用于产生提升信号, 在误差信号处于窗口信号脉宽之内时, 则停止产生提升信号。换句话说, 使其输出端的状态为高阻抗而中断。其中, 该电路被设计用于根据来自 U, D 端的误差信号产生“H”和“L”状态信号。

标号 10 是电平发生器电路, 其响应作为提升发生器 9 的输出的提升信号, 用于输出其电压值可根据电平设置数据确定的提升电压, 所述电平设置数据和分频数据被预先设置, 用于改变或修正振荡频率。更具体地说, 产生一个特定的电压作为提升电压, 其电压值接近适用于把 VCO 3 设置在目标频率下振荡的控制电压。

标号 11 是振荡控制电路, 用于强制 VCO 3 在多个不同的目标频率中的一个频率下选择地振荡; 为此, 控制电路具有存储单元, 其中存储分频数据和关于某个频率的电平设置数据, 用于响应频率改变命令或来自未示出的控制部分 (例如使用本实施例的电子设备的控制模块) 的指令, 根据

反应目标频率的分频数据，向分频器 2，4 输出分频设置信号，借以改变或修正这些分频比的值，同时根据电平设置数据向电平发生器 9 输出电平设置信号，因而，强制其确定提升电压的值。

下面参照图 3 所示的时序图说明本实施例的操作。

图 3 表示 VCO 3 的振荡频率转移状态，其中信号 A，B 是由基准信号源 1 和 VCO 11 的输出信号分频所得的信号，其分别是分频器 2，4 的输出信号，信号 B 的相位比信号 A 滞后，如图 3 中的“A”和“B”所示。相位比较器 5 进行操作，用于比较这些信号 A，B，输出如图 3 “U”所示的误差信号 U。响应误差信号 U，电荷泵 6 进行操作，用于向 LPF 7 的电容元件 C1，C2 充电。窗口发生器 8 向提升发生器 9 输出窗口信号 W，其以信号 B 的下降沿作为其脉宽的中心，如图 3 中“W”所示。因为此时误差信号 U 落在窗口信号 W 的脉宽的外部，所以提升发生器 9 响应误差信号 U 产生提升信号。在接收到提升信号之后，电平发生器 10 在其输出端产生并发出其电压值接近用于使 VCO 3 以目标频率振荡的控制电压的提升电压如图 3 中“BS”所示。例如，假定目标频率是如图 4 所示的 f_1 ，则产生为产生该频率所需的其电压值接近控制电压值 V_1 的提升电压。然后，把该提升电压提供给图 3 所示的 LPF 7 的 BS 端，借以在第一级积分电路 71 中，除去被提供给 CH 端的电荷泵 6 的输出之外，还由提升电压对电容 C1 充电，因而使控制电压的电压值快速增加。VCO 3 的振荡频率的这种增加可以使信号 A，B 之间的相位差减小；当误差信号落在窗口信号的脉宽之内时，提升电压被中断，BS 端成为高阻抗。此后，控制电压由于由电荷泵 6 单独充电而可能继续增加，最后达到用于产生目标频率的合适的控制电压值；此时，本实施例的 PLL 电路便被锁定。图 5 的曲线中标号为“a”的曲线说明当使用提升电压时频率对时间的关系，标号为“b”的曲线说明不使用提升电压时的这种关系。由曲线“a”可见，因为 PLL 在借助于电荷泵 6 通过使用接近目标频率 f_1 的提升电压而强制其频率快速增加之后被锁定，所以其锁定比不使用提升电压的情况“b”较快。在情况“a”下，锁定在时刻 t_0 实现，而在情况“b”下，则在 t_1 实现。

应该注意，当信号 B 的相位超前于信号 A 但误差信号 D 不落在窗口信号 W 的脉宽之内时，产生“L”电平的提升电压，使得接收该信号的电平

发生器 10 把该提升电压当作电源端 VSS 的电压，借以使频率快速下降，使得上述信号 B 的相位滞后于信号 A，从而允许执行被称为超前的操作。

由上述可见，所述的实施例被专门设置，使得在频率转移开始时通过除去利用电荷泵 6 的输出之外，还利用提升电压而快速增加控制电压，并且此后只使用电荷泵 6 更精确地增加控制电压。因而，便可以用增加的速度和精度获得足以获得目标频率的预期的电压值，这又能使得本实施例的 PLL 电路快速地锁定。此处应该注意，当目标频率是 f_1 时，如果提升电压的值被设置为 VDD，则可能发生使电容 C1 的充电量太大的情况，因而使 VCO 3 在高于频率 f_1 的过高的频率 f_x 下工作。因此，如图 5 “c” 所示，试图补偿前述状态的超调或欠调使得过多地增加供收敛所需的时间，因而不能缩短时间。由此看来，所述的实施例被这样构成，使得提升电压被设置在一个接近为产生目标频率所需的控制电压值的选择的值附近，同时只当误差信号超过预定的脉宽时才利用该提升电压。此外，只有在需要时，比较窗口信号和误差信号并单独使用提升电压可以抑制发生超调和欠调。

还应当注意，在本实施例中的提升电压的值被设置为接近为产生目标频率而所需的控制电压的某个值，而不是和精确的控制电压值本身相同的值；根据 VCO 3 的特性（例如响应特性）和所用的 LPF 的结构，以及时间常数，提升电压的值可以改变，因而通过考虑各种情况下的各个频率，可以设置在一个接近的值。这种提升电压设置同时根据相关的分频数据的设置进行。一般地说，在频率转移时在 PLL 电路中使用的数据可以包括 3 种：用于分频器电路相对于基准信号源的分频设置数据，用于分频器电路相对于 VCO 的分频设置数据，以及功能设置数据，对于每种频率，这些数据被预先设置，并被存储在控制电路的存储部分中，用于控制 PLL 操作（在本实施例中，没有示出振荡控制器 11 内的存储单元）。此外，每个分频器电路相对于基准信号源和的分频比的设置和功能设置被一次进行，特别是，通过由每个分频器电路相对于基准信号源的分频比而设置的频率（在本实施例中为信号 A 的频率），一旦其在最初的情况下被初始设置之后，便不再改变。相反，每当频率改变时，都要进行每个分频器电路相对于 VCO 的分频比的设置。为此，所述的实施例被设置用于除去存储用来设置相对

于 VCO 3 分频器 4 的分频比的数据位之外，在其中存储用来设置提升电压的特定数据位，每当频率改变时，将其读出，并根据分频器 4 的设置，同时进行电平发生器 7 的设置。用这种方式，本实施例对于每个频率能够设置最佳的提升电压，因而几乎在 VCO 3 的整个频带内能够缩短锁定时间。此外，在设计 PLL 电路的过程期间，通过简单地修改提升电压的预先设置值，便可以适应其中使用的 VCO 电路的规范的任何可能的改变，同时减少 VCO 之外的部分的规范改变，这又使得减少成本。

还应当注意，虽然第一实施例被如此设置，使得通过电平发生器 10 设置提升电压，但本发明并不限于此，而是可以修改，例如，把提升电压固定为一个预定值，或者另外通过附加某些限制作为使用这种提升电压的条件。下面说明使用这种方法的本发明的第二实施例的 PLL 电路。

首先参照图 6 说明本实施例的结构。在附图中，和图 1 中使用的相同的部件或元件用相同的标号表示。在图 6 中，标号 12 代表相位比较器电路，而标号 13 代表电荷泵电路。相位比较器 12 和电荷泵 13 的实际结构如图 7 所示。相位比较器 12 由多个 NAND 门和反相器以这样的方式组合而成，使得其在其端子 FR，FV 接收信号“A”和“B”：当信号 A 的相位超前于信号 B 时，相位比较器在“u”端输出相应于这个相位差的误差信号；否则，当信号 A 的相位滞后于信号 B 时，则在“d”端输出相应的误差信号。电荷泵 13 包括 PMOS 晶体管和 NMOS 晶体管，它们在电源端 VDD，VSS 之间相互串联连接，其漏极在公共节点连在一起，公共节点又和输出端 OUT 1 相连。这些 PMOS 和 NMOS 晶体管响应分别来自相位比较器 5 的“u”端和“d”端的误差信号可以导通或截止，借以向下面说明的低通滤波器（LPF）提供电源。注意在图 7 中，R 端是复位端，其用于输入振荡控制电路（未示出）的复位信号，使相位比较器 12 和电荷泵电路 13 复位。标号 14 代表 LPF，其可以由两级如图 8 所示的积分电路 141，142 构成。第一级积分器 141 由电阻 r1-r4 和电容 c1 构成，电荷泵 13 的输出被供给电阻 r1 的“ch”端，来自下面说明的提升电路的提升电压被供给电阻 r2 的“bs”端。第二级积分器 142 由电阻 r5 和电容 c2 构成，在输出端 OUT 2 产生控制电压。图 6 的标号 15 代表提升电路，其结构如图 9 所示，其中包括 D 型触发器电路 df1-df4，NAND 门 na1-na5，NOR 门 no1，

反相器 i1-i4，NMOS 晶体管 N1，以及 PMOS 晶体管 P1。提升电路 15 在反相器 i1 的输入端接收窗口信号，同时在 d1,d2 端接收分别来自相位比较器 12 的 u,d 端的误差信号，以便在输出端 OUT 3 产生相应于各个信号的输出电压。

下面说明本实施例的操作。

图 10 是用于说明本实施例的操作的时序图，其中和图 3 类似的信号用相同的标号表示。假定使本实施例的 PLL 电路在图 10 的时刻 t0 进行操作。注意在这时刻，在响应复位信号 R 使本实施例的整个 PLL 电路复位之后操作才能开始。因而，D 型触发器 df1 - df4 被保持在复位状态，NOR 门的输出处于“H”电平，PMOS 晶体管 P1 和 NMOS 晶体管 N2 都截止，输出端 OUT 3 为高阻抗，LPF14 只接收来自电荷泵 13 的输出。

假定在操作开始之后的时刻信号 B 的相位滞后于信号 A，在时刻 t1，所得的误差信号“u”可能上升到“H”电平。然后，在时刻 t2 产生窗口信号 W。D 型触发器 df1 在其时钟端 CP1 通过反相器 i1 和 NAND 门 na1 接收这一信号，然后锁住来自 u 端的信号“H”，该信号在数据端 d1 以和窗口信号 W 的下降沿同步的方式被接收，借以使输出信号升高为“H”电平，如图 10 中“Q1”所示。信号 Q1 经 NAND 门 na4 到达 PMOS 晶体管 P1，使该晶体管导通。因而，OUT3 端可能被向着电源端 VDD 侧下拉，使得所得电压作为提升电压加于 LPF 14 的 bs 端。此处注意用于产生目标频率的 VCO 3 的控制电压值被设置为电源端 VDD 的电压值。还应该注意，如果需要低于这一值的控制电压值，可以通过相关的用于把输出端 OUT 3 的输出转换为合适电压值的分压器电路输出。一个例子是，提供图 11 所示的分压器电路 16，通过两个分压电阻 r6,r7 的串联电路把输出端 OUT 3 连接到电源端 VSS，同时使这两个电阻的公共节点作为输出端，其输出通过和其相关的发送门“tr”被提供给 bs 端。此外，图 11 中和图 8，图 9 中类似的元件使用相同的符号表示。最好该电路以这样的方式构成，使得在图 10 所示的操作中，在输出端 OUT 3 处于高阻抗的时刻，发送门 tr 闭合而强制 bs 端一侧处于高阻状态。

返回图 8，电容 c1 被来自电荷泵 13 的误差信号充电，也被提升电压充电，使得提升电压接近目标频率所需的控制电压值（此处为电源端 VDD

的电压值)。因而, 信号 A, B 之间的相位差减少, 使得误差信号 u 落在窗口信号 W 的脉宽之内; 此时, 即在时刻 t_3 , 窗口信号 W 的电位在处于“H”电平的误差信号 u 的电位增加之前试图升高, 使得 D 型触发器 $df1$ 操作, 从而读出 $d1$ 端的“L”状态, 使信号 $Q1$ 下降至“L”电平。这使得 PMOS 晶体管 P1 截止, 输出端 OUT 3 处于高阻状态, 因而使得 LPF 14 只接收电荷泵 13 的输出。由于信号 $Q1$ 的这一电位降落, D 型触发器 $df3$ 锁定在其数据端 $d3$ 接收的“H”电平信号(该信号的电位被拉向电源 VDD), 从而产生“H”电平的输出信号 $Q3$ 。相应地, NOR 门 $no1$ 将其输出信号的电位固定在“L”电平。因此, 即使后来发生不落在窗口信号 W 的脉宽之内的窗口信号 u , 由于不产生输出电压, 提升电路 15 也使输出端 OUT 3 保持在高阻状态。换句话说, 本实施例被专门设置, 使得仅仅在操作开始之后立刻的一个时刻利用提升电压。这方法用于消除由于过量地使用从产生某一稍微超过窗口信号脉宽的误差信号开始而产生的提升电压而发生超调和欠调, 这又抑制电容 $c1$ 的过量充电。更具体地说, 当这种提升电压的值被 LPF 14 固定在一个电压值时, 和在第一实施例中的进行细的或精确的提升电压设置相比, 可能容易发生超调和欠调, 为避免这一问题, 第二实施例使用“一个时刻使用”方法, 其限制只对一个时刻使用提升电压。换句话说, 本实施例避免了必须进行细的提升电压设置或调节, 从而减少了电路结构的复杂性, 并且降低产品成本。

应该注意, 此处所述的操作方式假定本实施例的 PLL 电路在时刻 t_4 之后被重新启动, 并假定信号 B 的相位超前于信号 A。在这种情况下, 在相位比较器 12 的 d 端可能出现误差信号 d 。在其 $d2$ 端接收该误差信号 d 的 D 型触发器 $df2$ 也在时钟端 CP2 接收相应于窗口信号 W 的反相形式的信号, 并在其下降沿的时刻锁定这一数据端 $d2$ 的状态, 使输出信号 $Q2$ 变为高电位。此时, 另一个 D 型触发器 $df4$ 在其时钟端接收输出信号 $Q2$, 并在该信号的下降沿锁定数据端 $d4$ 的状态。因而, 当误差信号 d 不处于窗口信号 W 的脉宽之内时, NMOS 晶体管 N1 导通, 使输出端 OUT 3 的电位降至“L”电平。因而 LPF 14 的 bs 端的电位被拉向电源端 VSS, 借以使控制电压的值和只接收电荷泵 13 的输出的情况相比快速减少。当误差信号 d 处于窗口信号 W 的脉宽之内时, 输出端 OUT 3 处于高阻状态, 即使

在这种情况下，当输出端 OUT 3 处于呈现高阻状态的“L”电平时，此后该端也保持高阻抗状态。

虽然以上的说明假定当 PLL 电路的操作开始时使用提升电压，但这种电路可以改进，使得当 VCO 3 被改变频率而复位 D 型触发器 df3,df4 时也使用提升电压。

从以上说明显然可见，第二实施例可以通过限制使用这种提升电压而简化提升电压值的设置，同时以类似于上述第一实施例的方式，提供保持高速锁定操作的能力。

图1

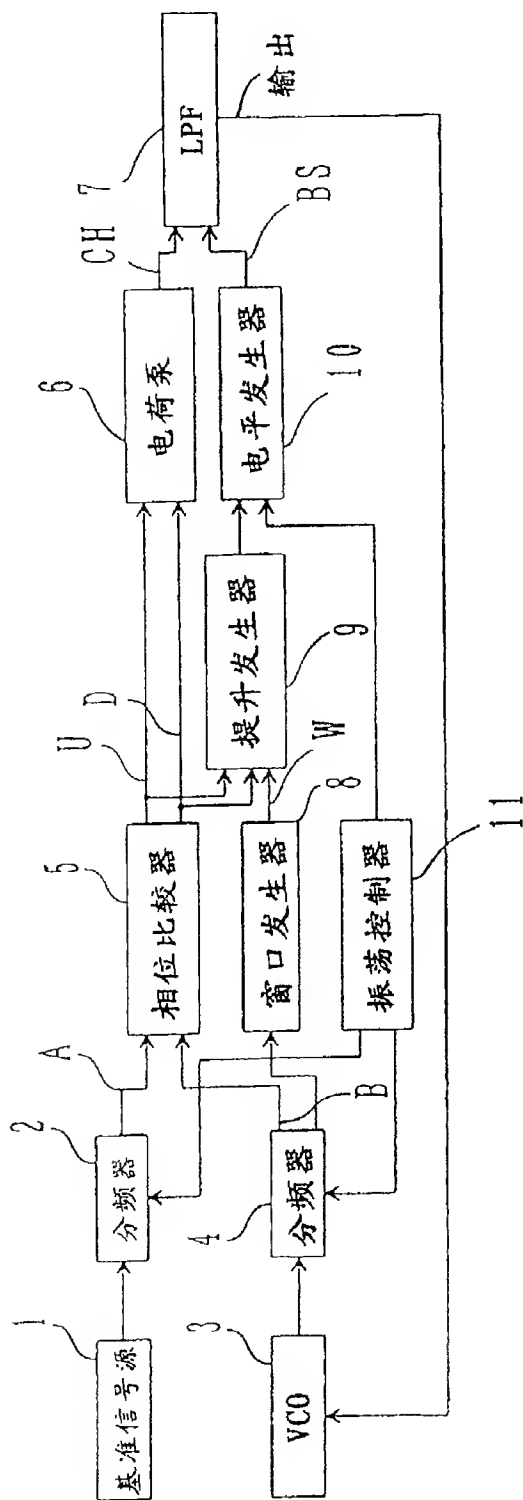


图 2

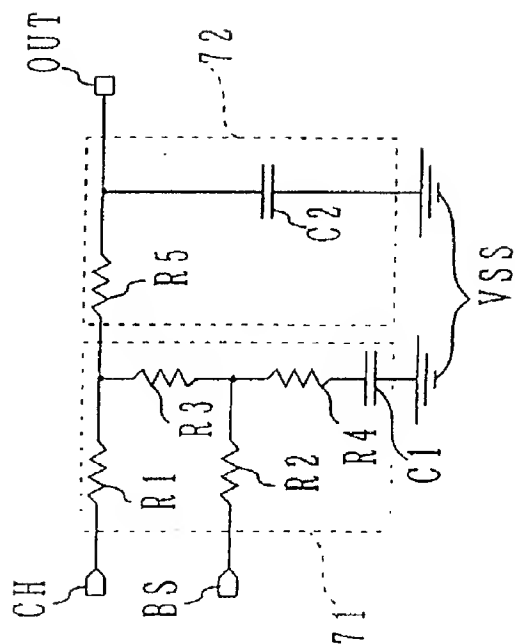


图 3

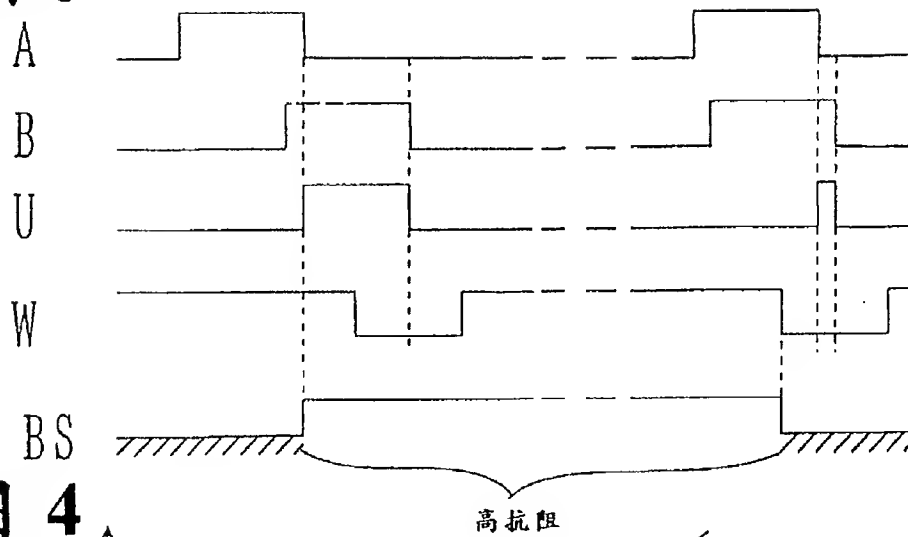


图 4

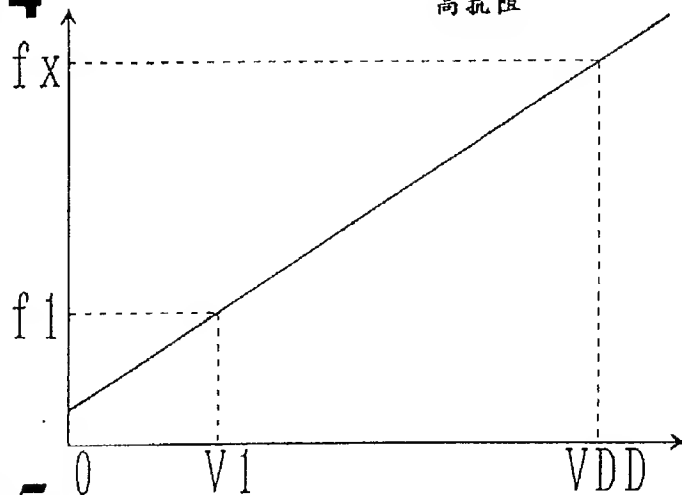


图 5

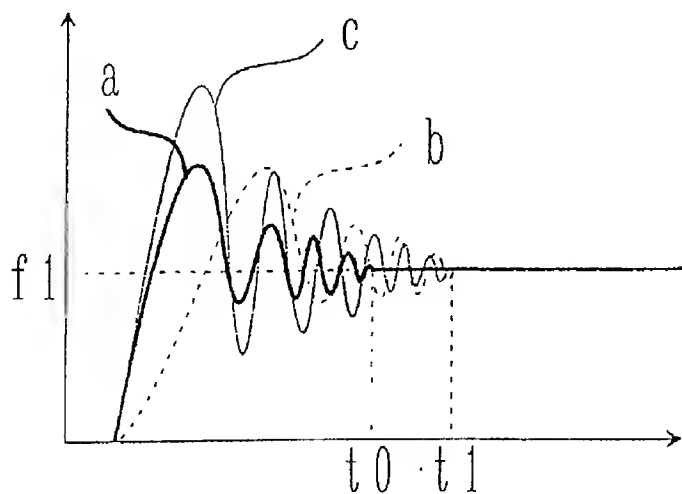


图6

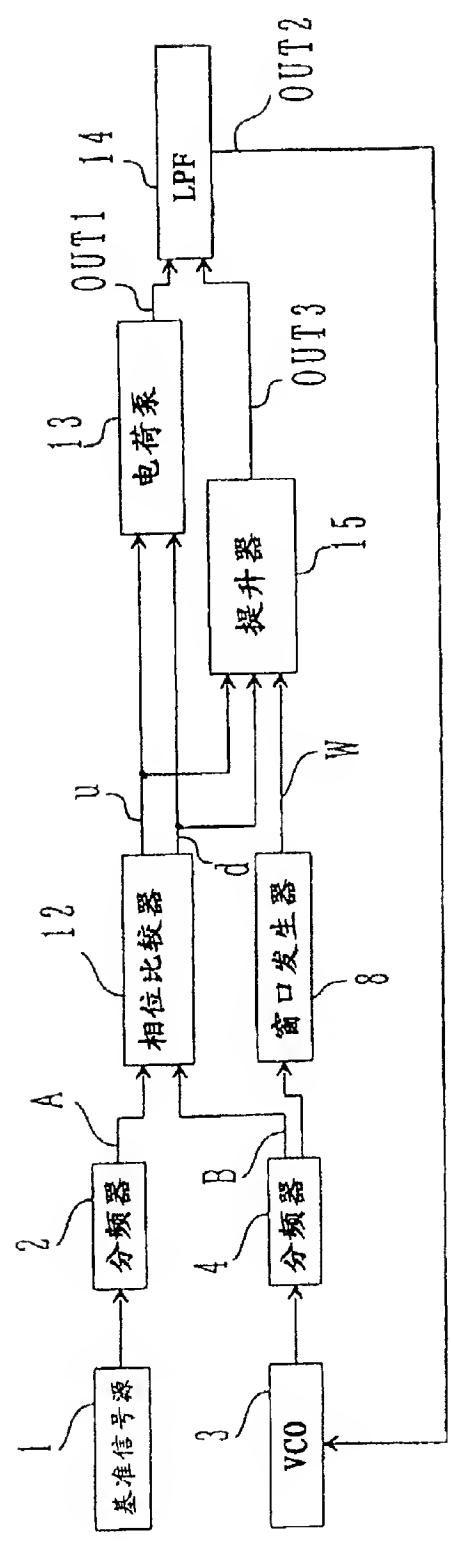


图 7

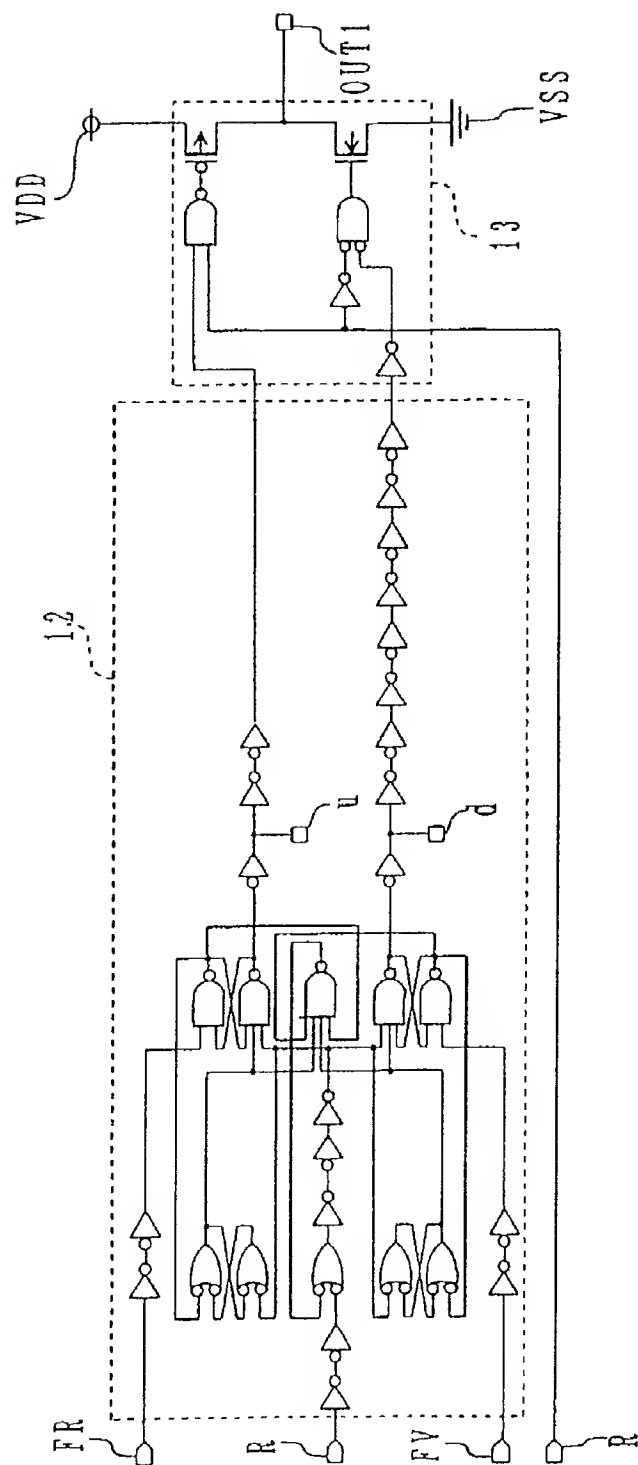


图 8

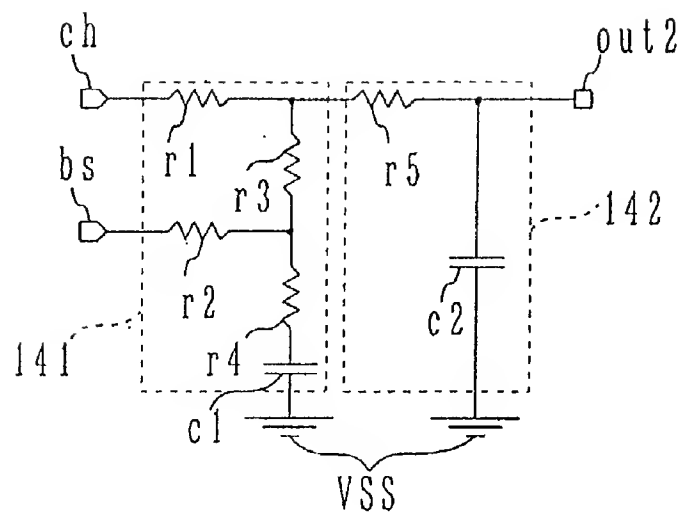


图 11

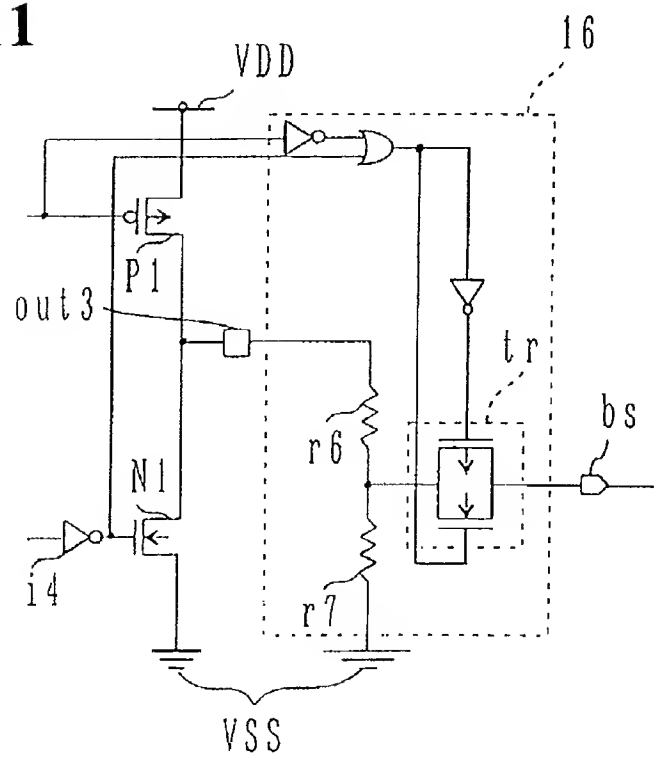


图 9

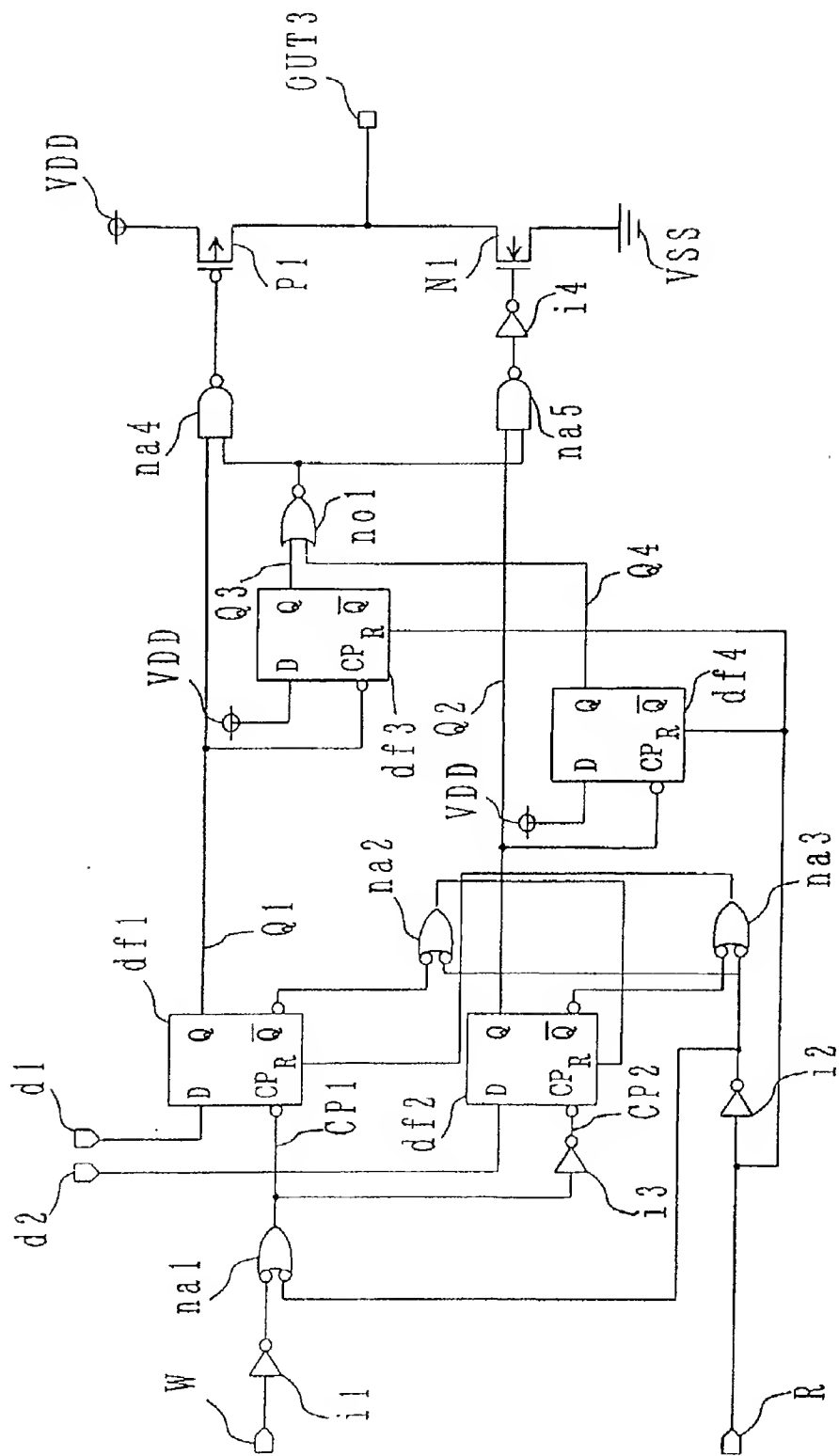


图 10

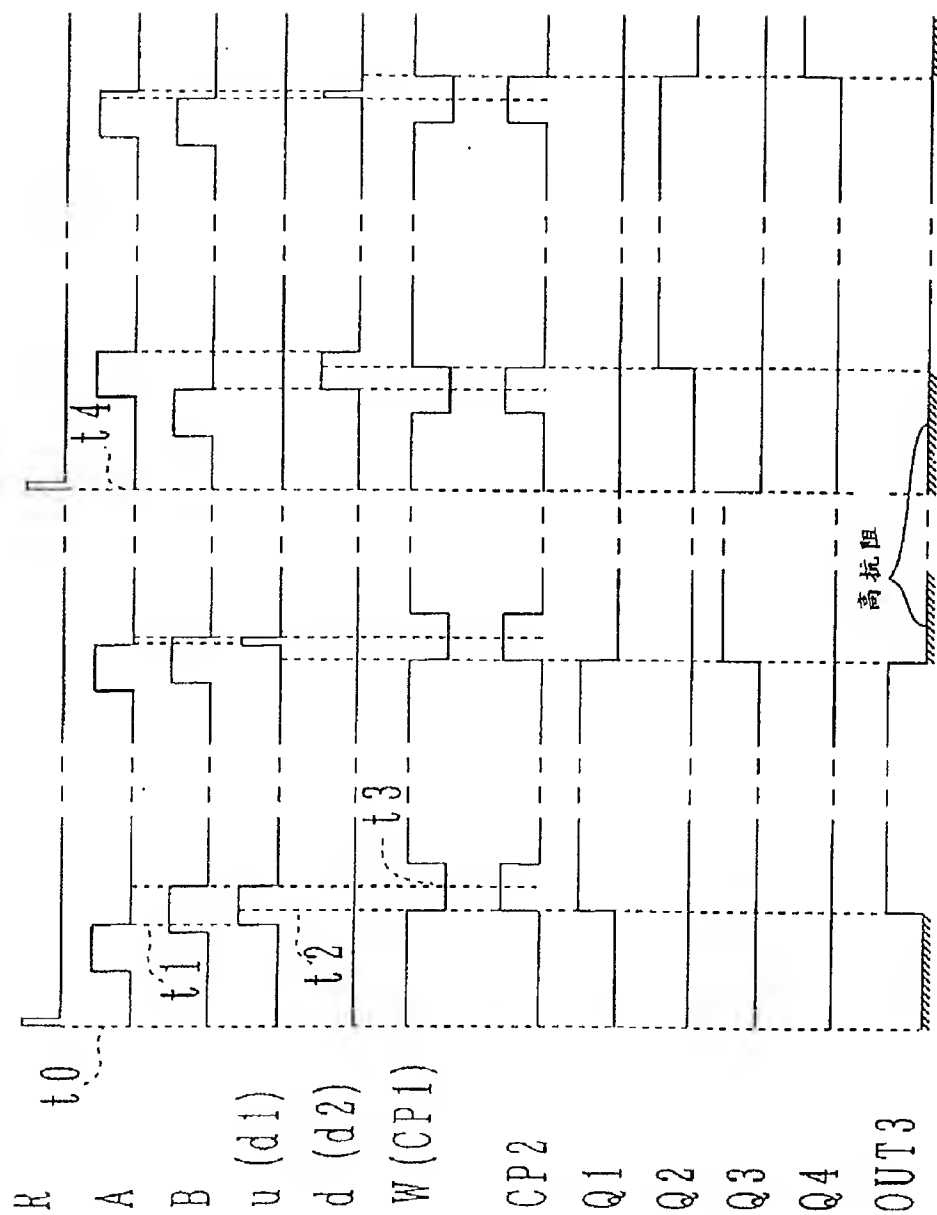


图 12

